

特開平2-213289(5)

向に変化したこととなるので、判定誤りである可能性が高い。そこで、方向判定部24は、このような場合、判定出力Fを強制的に平均値C1を導出するための判定出力Fに置き換えるようになっている。

なお、時刻18の図の趣印の部分においても上記と同様な修正処理がなされる。ノリアンフィアルタ27とラッチ回路25、26、28はこの発明の趣意を成す回路である。この趣意は、各補間要素ごとに、方向判定部24から出力される補間要素分の判定出力Fを同時にノリアンフィアルタ27に供給し、この中からノリアンフィアルタ27によって中間値を導出し、この導出出力を各補間要素の判定出力Fとして出力するものである。

すなわち、方向判定回路24から出力される判定出力Fは、ラッチ回路25で1補間分遅延された後、ラッチ回路26によりさらに1補間分遅延される。そして、ラッチ回路25、26のラッチ出力はノリアンフィアルタ27の第1、第2のタップに供給される。

用いていたが、このような構成の場合は、1補間分の判定誤りがある。ノリアンフィアルタ27の中間値導出動作は、3補間要素、上記判定誤りの影響を受ける。これに対し、この実施例のように先頭の要素の判定出力Fとしてノリアンフィアルタ27に供給したものを供給すると、判定誤りの影響を受ける期間を2補間要素間に短縮することができ、したがって、この実施例によれば、文獻の構成より判定出力Fの修正効果を増大させることができる。

以上の様子を示すのが第5図である。すなわち、この図5図において、F1は方向判定部24から出力される判定出力Fを示し、F2は文獻構成において、ノリアンフィアルタ27から出力される判定出力Fを示し、F3はこの実施例において、ノリアンフィアルタ27から出力される判定出力Fを示す。第3図はこの3つの判定出力F1、F2、F3を時刻1の経過とともに示すものである。ここで、1n-1a-1は1補間要素である。数値0は相対方向が上下方向であることを

下方向あるいは右上方方向であることを示しているのに、時刻18でだけ急に左上がり方向であることを示しているからである。したがって、この判定出力F1に比べて補間番号Dと補間が低下する可能性が高い。これに対し、時刻18における判定出力F2は、その前後における判定出力F1が示す相対方向とほぼ同じ相対方向の相対方向を示す。したがって、判定出力F2によって補間番号Dを生成すれば、判定出力F2によって作る場合よりも補間を向上させることができる可能性が高い。

以上述べたようにこの実施例は、ノリアンフィアルタ27に供給する3補間要素分の判定出力Fのうち、先頭の1補間要素分の判定出力Fとしてノリアンフィアルタ27に供給したものを供給するようにしたものである。

このような構成によれば、ノリアンフィアルタ27が方向判定部24から出力される判定出力Fに生じた判定誤りの影響を受ける期間を、文獻のものより短縮することができるので、これよりも、

Fをノリアンフィアルタ27に供給する場合を説明したが、一般的には、n(nは3以上の正の数)補間要素分の判定出力Fを供給するようにしてもよい。この場合、ノリアンフィアルタ27に供給した判定出力Fが用いられる補間は、先頭からm(m=1, 2, ..., n-1)番目までの補間である。

また、先の実施例では、相対判定構成として補間番号を2ラッチ回路間において、連続する5補間要素の番号を使って相対判定する構成を説明したが、補間要素を中心とした補間の上下方向及び斜め方向の相対判定をすれば、ラインの距離や面積はこれに限定されるものではない。

さらに、先の実施例では、この発明を補間番号発生回路の相対判定回路に適用する場合を説明したが、この発明は、これ以外にも、例えば、インターレース方式のテレビジョン信号において、あるラインの要素を中心とした補間の上下方向及び斜め方向の相対判定に適用可能な場合にも適用可能である。

この他にもこの発明は、その趣意を逸脱しない

特開平2-213289(6)

ノリアンフィアルタ27の修正効果を増大させることができる。

第6図はこの発明の他の実施例の構成を示す回路図である。

先の実施例では、ノリアンフィアルタ27に供給する判定出力Fのうち、先頭の要素の判定出力Fをノリアンフィアルタ27に供給したものを供給する。この実施例では、ノリアンフィアルタ27の出力タップに2つのタップを設け、これに対し、この実施例では、ノリアンフィアルタ27の出力タップに2つのタップを設け、28を接続し、先頭要素だけで、先頭から第2番目の要素の判定出力Fもノリアンフィアルタ27に供給したものを供給するようにしたものである。

このような構成によれば、先の実施例よりもさらに判定誤りの影響を受ける期間を短縮することができる。

以上この発明の2つの実施例を説明したが、この発明はこのような実施例に限定されるものではない。

例えば、先の実施例では、3補間要素の判定出力

図5で述べたような修正効果を増大させることは勿論である。

【発明の効果】
以上述べたようにこの発明によれば、ノリアンフィアルタに供給する相対判定出力として一階ノリアンフィアルタに供給したものを供給し、相対判定によるノリアンフィアルタが影響を受ける期間を短縮することができる。

4. 図面の簡単な説明
第1図はこの発明の一実施例の構成を示す回路図、第2図乃至第5図はこの発明の他の実施例の構成のための図、第6図はこの発明の他の実施例の構成を示す回路図である。

11...人力端子、12、14...タップ付遅延部、12a、12b、12c、12d、12e、14a、14b、14c、14d、14e...単位遅延素子、13...ラインメモリ、15a、15b、15c、15d、15e...加算回路、16...遅延回路、17...セレクタ、18...出力端子、19a、19b、19c、19d、19e...

昇算回路、20a、20b、20c、20d、
20e…絶対値回路、21a、21b、21c…
最小値判定部、22…階層式判定部、23、25、
26、28…グラフ回路、24…方向判定部、
27…ディジタルフィルタ。

出願人代理人 井野士 玲江 武 彦

位置	(A1,B5)	(A2,B4)	(A3,B3)	(A4,B2)	(A5,B1)
位置	(A1,B5)	(A1,B5)	(A1,B5)	(A1,B5)	(A1,B5)
位置	(A2,B4)	(A2,B4)	(A2,B4)	(A2,B4)	(A2,B4)
位置	(A3,B3)	(A3,B3)	(A3,B3)	(A3,B3)	(A3,B3)
位置	(A4,B2)	(A4,B2)	(A4,B2)	(A4,B2)	(A4,B2)
位置	(A5,B1)	(A5,B1)	(A5,B1)	(A5,B1)	(A5,B1)

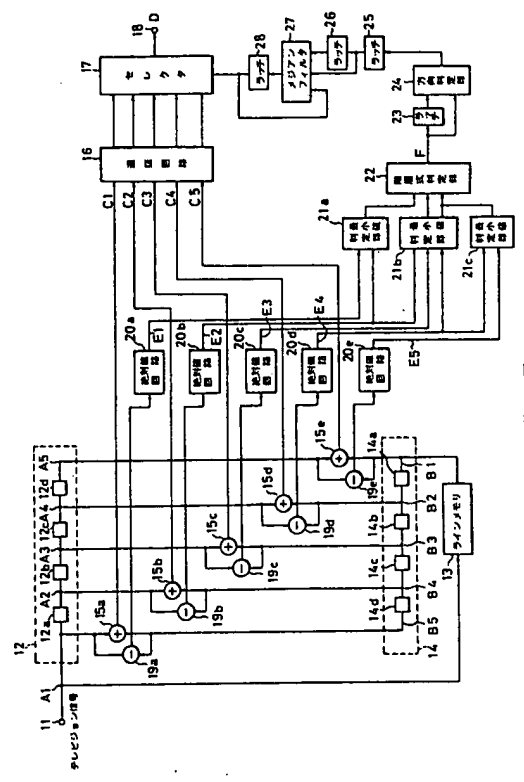
第 4 図

	t1	t2	t3	t4	t5	t6	t7	t8	t9	t10	t11
F1	2	2	2	0	-2	0	-2	0	2	2	2
F2	2	2	0	0	-2	0	0	2	2	2	2
F3	2	0	0	0	0	0	0	2	2	2	2

第 5 図

昇算回路	IA2-B41=IA3-B31=IA4-B21
昇算回路	IA2-B41=E2 昇算部
昇算回路	IA3-B31=E3 昇算部
昇算回路	IA4-B21=E4 昇算部
昇算回路	IA2-B41=IA1-B31
昇算回路	IA2-B41=E2 昇算部
昇算回路	IA1-B31=E1 昇算部
昇算回路	IA4-B21=IA5-B11
昇算回路	IA4-B21=E4 昇算部
昇算回路	IA5-B11=E5 昇算部

第 3 図



第 1 図

第 6 図